

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-163581

(43)Date of publication of application : 10.06.1994

(51)Int.Cl.

H01L 21/336
H01L 29/784
G02F 1/136

(21)Application number : 04-318895

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.11.1992

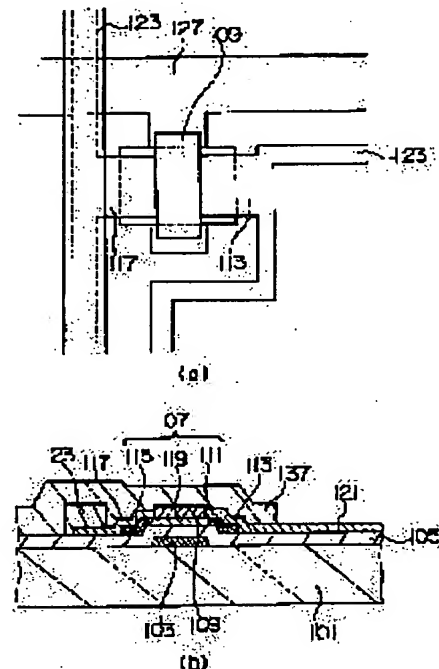
(72)Inventor : AKIYAMA MASAHIKO

(54) THIN-FILM TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To prevent yield and throughput from being reduced on manufacture and at the same time solve problems of light leakage current of TFT generated due to the reflected light by source wiring, drain wiring, etc., by directly forming an ohmic joint on the surfaces of a source region and a drain region of a semiconductor film itself.

CONSTITUTION: A source wiring 113 consisting of a transparent conductive film and a drain wiring 117 are directly deposited on a source region 111 and a drain region 115, respectively. The source region 111 and the drain region 115 are provided with ohmic junction function, subjected to ohmic joint with the source wiring 113 and the drain wiring 117, and formed by allowing impurities to be doped on a semiconductor film 107 leaving a channel region 119. Therefore, an ohmic contact layer which is formed on the semiconductor film 107 by a separate layer can be omitted and light-inducting carriers which are generated by an i-layer semiconductor can be reduced or eliminated.



LEGAL STATUS

[Date of request for examination]

18.08.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3378280

[Date of registration]

06.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

1やドレイン領域115の上に直接堆積させており、半導体膜107の膜厚を100オングストローム以下に薄くすることもできる。そしてその場合には光照射によって半導体膜107に生成するキャリアを少なくすることができるため、TFETの光リーク電流をさらに低減することができる。

【0038】(実施例2)上記の第1の実施例ではネガ型フォトリソストを用いたが、化学増幅型レジストの一種であるイメージリバーサルレジストを用いることもできる。この第2の実施例ではイメージリバーサルレジストとしてヘキストのAZ5214Eを用いた。図4は、第2の実施例を示す図である。なお説明の簡潔化のために、第1の実施例と同一の部位は同一の符号を付して示し、また第1の実施例とは異なる部分を中心に説明する。

【0039】前記の図2(d)に示す工程の後、図4(a)に示すように透明導電膜129の上にイメージリバーサルレジスト201を塗布し、TFET上部を跨ぎ画素電極121となるべき部分を含めたパターンのマスクで露光して現像してイメージリバーサルレジスト201をパターンニングする。ここではポジレジストの性質を利用しておりイメージリバーサルレジスト201のパターンのある部分が未露光である。

【0040】続いて図4(b)に示すように裏面露光を行なう。ゲート電極103がある部分を除いて透明導電膜129およびTFET近傍の半導体膜107を通してレジストが感光する。そしてリバーサルベークを行なうと、感光したレジスト内で発生した酸により架橋が起こって現像液に溶解しなくなる。そして全面フラッド露光し現像することで、ゲート電極103上の裏面露光時の未露光部が溶解してレジストが除去される。このような工程を経てTFETのゲート電極103に自己整合してなるソース配線113およびドレイン配線117と、画素電極121とを透明導電膜129から形成するレジストパターン203が得られる。そしてこのレジストパターン203をマスクとして透明導電膜129をエッチングしてソース配線113およびドレイン配線117を形成する。

【0041】このようにすれば、レジスト塗布、透明導電膜129のエッチング、レジスト剥離が一度で済むため、工程の簡略化が図れる。

【0042】(実施例3)上記実施例では、ソース配線113およびドレイン配線117と画素電極121とを同時に形成する場合を示したが、これらは別の工程で別体で形成してもよい。この場合ではドレイン配線117と画素電極121との間は接続配線301で接続されている。このような第3の実施例を図5に示す。図5(a)はその平面図、(b)はその断面図である。

【0043】この第3の実施例では、ソース配線113およびドレイン配線117はTiNから形成したもの

で、膜厚は100~500オングストロームとした。これらはそれぞれソース接続電極301、信号線123に接続されている。前述した図2(c)の工程の後、上記のTiNをスパッタで堆積した後、ネガ型レジストを塗布して裏面露光して形成したパターンをマスクとして用いてTiNをエッチングしてから、半導体膜107を島状にパターンニングする。この場合には、半導体膜107がほぼ全面に残っている段階で行なうため、露光時間をどの位置でも同一にできることから、ネガ型レジストの裏面露光の工程でのレジストパターンの高精度な制御が簡易に行なえるという利点があるので好ましい。特に、チャネル保護膜109に僅かにオーバーラップさせることが簡易にできる。

【0044】なお、透明導電膜129としては、TiNのような色のついた膜でもよく、あるいは通常の配線層に用いられる金属膜やシリサイド膜などでも50~100オングストローム程度の極めて薄い膜にすれば、透光性が十分なので裏面露光に用いることができる。このような透明導電膜129の材料としては、配線部の抵抗がTFETのオン時のチャネル抵抗より小さければよく、この他にも例えばゲルマニウムやその合金などでもよい。

【0045】(実施例4)この第4の実施例は、透明導電膜129の堆積前に半導体膜107の表面に極めて薄いシリサイド膜401を形成したものである。これを図6に示す。なお金属とシリコンとの反応層のことをここではシリサイドと呼ぶことにする。このシリサイド膜401は、例えば以下のようにして形成する。前述の図2(c)の工程の後、半導体膜107の表面を希弗酸処理して自然酸化膜などを除去した後、その上にMo、Ta、Ti、Ni、Wなどの金属または合金などを堆積する。必要に応じてアニールを行ない反応を促進させる。そして形成されたシリサイド部分を残してその他の金属膜を除去し、シリサイド膜401を得る。このシリサイド膜401により透明導電膜129と半導体膜107とを密着性よく確実に着膜できるので、膜剥がれなどの欠陥を低減することができるという利点がある。なお、このシリサイド膜401は極めて薄い場合、抵抗値が不安定になる恐れがあるが、基本的な配線は透明導電膜129で行なっておりまた極めて薄いことから、その直列抵抗は悪影響があるほどには増加しない。またITOとa-Siとを直接接触させると、その界面は300℃以上の高温になると相互に反応して接触抵抗が増加する場合があるが、シリサイド膜401を介挿することで前記のような接触抵抗の増加を防ぐことができるという利点がある。

【0046】(実施例5)この第5の実施例は、第4の実施例で用いたシリサイド膜401を用いるとともに、その上に無電解めっきによりソース配線113およびドレイン配線117を被着させたものである。この無電解めっき膜501は十分な透光性を有するように形成され

ている。

【0047】半導体膜107の上に図7(a)に示すようにシリサイド膜401を形成し、基板全体を無電解めっき液に漬けてチャンネル保護膜109を除く部分に無電解めっき膜501を被着させる(b)。

【0048】このとき、チャンネル保護膜109には被着させないで半導体膜107にシリサイド膜401を介して選択的に無電解めっき膜501を被着させるために、シリサイド膜401が効果を発揮する。まためっきの付着強度が向上するという効果もある。またMoやTiのような金属からなるシリサイド膜401を用いることにより、無電解めっき膜501が半導体膜107のSiと反応することを防ぐことができるので、Niなどの比較的低温でシリサイドが成長するめっき材料を用いる場合に特に有効である。

【0049】本実施例ではめっき材料としてNiを主成分とした無電解めっき液を用いて、約500オングストロームの厚さに形成した。より詳しくは、その無電解めっき液として硫酸ニッケルに還元剤としてジメチルアミンボラン(DMAB)を添加し、ピロリン酸とアンモニアでアルカリ性にしたものを用いた。あるいは硫酸ニッケルまたは塩化ニッケルに還元剤としてヒドラジンまたは次亜リン酸カリウムを用い、エチレンジアミンを添加したものを用いてもよい。めっき液はこの他にも種々変更することができる。めっき材料もNiの他にもCo、Cu、貴金属、Mo、Tiなどでもよい。そしてめっきの諸条件を変更してソース配線113およびドレイン配線117の膜厚を制御し、配線抵抗が低く光透過性も良好なものとなればよい。

【0050】そして無電解めっき膜501およびシリサイド膜401および半導体膜107をレジスト503をマスクとして用いてエッチングして所定のパターンを形成し、その後はソース、ドレインそれぞれの電極部分の無電解めっき膜501上にソース接続電極301、信号線123を各々配設し、上記の各実施例と同様にパシベーション膜135を形成するなどしてa-SiTFTを得る。

【0051】このように第5の実施例では、半導体膜107のソース領域111およびドレイン領域115の上に、それぞれシリサイド膜401を介して無電解めっきにより自己整合的にソース配線113およびドレイン配線117を被着させることができ、また裏面露光ができるので、製造工程を簡易にすることができ、製造コストの低廉化が実現できる。また、無電解めっきにより配線を形成しているの、半導体膜107の膜厚を薄くしても配線層の金属との反応による侵食を避けることができるので、接合面での抵抗や界面特性の低劣化を防ぐことができる。

【0052】なお、無電解めっき膜501の上にさらにMoのような金属膜を被着させ、その金属膜とともにパ

ターニングしてソース配線113およびドレイン配線117を形成してもよい。また、無電解めっき膜501にPを含めるとn型半導体とのコンタクト抵抗がさらに改善され、Bを含めるとp型半導体とのコンタクト抵抗がさらに改善されるので、半導体膜107の材質によりPまたはBを使い分けて含めるようにすれば、コンタクト抵抗をさらに改善することができる。

【0053】また、本実施例ではシリサイド膜401を用いたが、めっき液も含めてめっき工程の制御が若干難しくなるがシリサイド膜401を省略しても、ドーブ後の半導体膜107とチャンネル保護膜109との間で選択的な膜成長が可能であることを本発明者らは確認している。このようにシリサイド膜401を省略すれば工程のさらなる簡易化が可能である。またシリサイド膜401およびドーブ後の半導体膜107を通した電解めっきを行なうこともできる。

【0054】(実施例6) この第6の実施例では、ソース配線113およびドレイン配線117をリフトオフ法で形成する場合の一実施例である。図8はその製造工程を示す図である。前述の図2(b)でチャンネル保護膜109の上にさらに膜厚1000~2000オングストロームのITOからなる透明膜601を堆積し、その上に図8(a)に示すようにレジスト603を塗布して裏面露光を行ないレジストパターンを形成し、これをマスクとして透明膜601をエッチングしさらにチャンネル保護膜109をエッチングすると、図8(b)に示すようにチャンネル保護膜109の方が透明膜601よりも内側になる。ここでプラズマドーピングを行なってソース領域111、ドレイン領域115を形成する。そしてこの上に透明導電膜129としてTaを100~500オングストロームに薄く堆積する(c)。この透明導電膜129としては、Taの他にも薄いTiやCrなども用いることができる。

【0055】そして透明膜601をエッチング除去すると、チャンネル保護膜109上の透明導電膜129がリフトオフされて、TFTのソース領域111およびドレイン領域115の上に透明導電膜129が残る。そして透明導電膜129、半導体膜107をパターンニングしてソース配線113、ドレイン配線117などを形成し、他の実施例と同様にしてTFTを完成する。

【0056】このようにリフトオフ法を用いて製作することもできる。この場合、ドーピングの際にチャンネル保護膜109の上に透明膜601が存在するので、プラズマドーピングでドーパント以外の軽い例えば水素イオンなどが深く注入されてしまうのを抑えることができ、TFT特性が向上することがわかった。

【0057】また、チャンネル保護膜109に重いイオンが注入されて欠陥が発生することを防ぐこともできる。このような効果はITO膜の他にもTi酸化膜などの絶縁膜や裏面露光後に残るレジストパターンなどでも同様

13

である。特にITO膜は、それを構成しているIn、Snが重い原子であるためにイオン阻止能力が高いことなどにより、ドーピング時のチャージアップを防ぐことができるので好ましい。このようなドーピングマスクは他の実施例においても用いてもよいことは言うまでもない。また、プラズマドーピングはイオンの入射角および一度に投入できる範囲が広いので、この実施例の図8

(b)に示すようにチャネル保護膜109の上に透明膜601がオーバーハングを有して重なっていても、そのオーバーハングの悪影響はないので半導体膜107に対して良好にイオン注入ができる。あるいはさらに基板を回転させたり斜めに配置したり、再度エッチングしてオーバーハングを除去してもよい。

【0058】(実施例7)図9、図10は第7の実施例を示す図である。図2(a)、(b)で示した工程に引き続き、本実施例では図9(a)に示すようにチャネル保護膜109をマスクとして不純物をドーピングして不純物の高い半導体膜107を形成する。ドーピングの方法は、前述の実施例で述べたようなプラズマドーピングでもよく、あるいはその他の方法でもよい。第1の実施例で述べたような方法を用いることができる。次に、半導体膜107の表面を洗浄し表面酸化膜を除去した後、図9(b)に示すように、金属膜701を堆積する。ここでは金属膜701の材料としてMoを用いたが、その他にも、Ti、Cr、Ni、Pdなどの金属や、WとMoとの合金など、半導体と反応して導電体を形成する材料などを用いてもよい。この合金としては、Co、Ni、Pdのような低温でシリサイドを形成する材料とMo、Taのような低温ではシリサイドを形成し難い高融点金属との合金を用いればよい。このような金属膜701と半導体膜107との界面に薄いシリサイド膜401が形成される。ごく薄い50オングストローム程度のNiやPdなど低温でシリサイドが成長する材料とMo、Taなどシリサイド成長が進まない高融点金属系の材料との積層膜を用いると、得られるシリサイド膜401の抵抗が比較的安定し、かつ半導体膜107を大きく侵食することなくシリサイド膜401を形成できるので好ましい。また、200～300℃でアニールしてもよい。本実施例の場合、その膜厚が50～200オングストロームでシート抵抗が $10^3 \sim 10^6 \Omega/\square$ であった。

【0059】続いてフォトリソグラフィなどにより金属膜701、半導体膜107、シリサイド膜401をパターンニングする(c)。このときTFT部分のパターンはチャネル保護膜109のパターンをチャネル線幅方向で内側になるように形成する。そしてエッチングではチャネル保護膜109との間で選択的なエッチングを行なった。すなわち、パターンニングされた金属膜701などのパターンからはみ出したチャネル保護膜109の部分は半導体膜107のマスクとして残り、図9(c')に示すように半導体膜107がチャネル保護膜109と同

14

じかや内側に位置するように残っている。このようにすることにより、半導体膜107の側壁が後工程での電極形成時に金属と接触する面積を大きくすることとを避けることができる。また特にチャネル保護膜109の端より内側に側壁を設けることにより電極が半導体膜107の側壁になるべく付着しないようにすることができる。

【0060】続いて、図10(d)に示すように、残っていた金属膜701を除去し、パターンニングされた半導体膜107の側壁を酸化して、次に形成する配線材料と反応しないように処理した。そして画素電極121を形成し、Mo/A1積層膜から信号線123およびソース接続電極301を形成する。配線材料はこの他にもTi/A1など他の材料でもよい。半導体膜107の側壁の酸化は、酸素を含む環境でアニールしたり、酸素プラズマにさらすなどして得られる程度の弱いものでも効果が十分であることを確認している。そしてその酸化された部分には窒素や炭素などが含まれていてもよい。またはポリシラン、OCDなどの液に漬けて側壁にシリサイド反応を抑える物質を残すようにしてもよい。この結果、本実施例では、半導体膜107の前記の側壁と信号線123などの配線金属膜との間の反応に起因して発生するリーク電流の増加を防ぐことができる。これはアクティブマトリクス型液晶表示装置に用いるようなTFTにとっては、特に液晶表示装置の表示品位の向上に対して重要となる効果である。これにより液晶印加電圧の保持期間中の減衰を防ぐことができるからである。

【0061】その後、他の実施例と同様にパシベーション膜135などを形成してTFTとして完成する。あるいはパシベーション膜135は省略する場合もある。

【0062】なお、図10(e)においてソース配線113、ドレイン配線117をチャネル保護膜109に重なるようにまで延伸させたパターンに形成してもよい。このように広い面積で配線とシリサイド膜401とを接触させておくと、シリサイド膜401の抵抗が不安定で高くなっても必要な電流は確保できるので望ましい。

【0063】また、半導体膜107に不純物をドーピングしてソース領域111、ドレイン領域115を形成したが、不純物を含む半導体膜107をCVDなどで堆積し、ネガ型レジストを塗布し裏面露光してゲートの上のレジストを除去したパターンを得て、これをマスクに用いて成膜した不純物を含む半導体膜107をエッチングして形成することなども可能である。この場合も半導体膜107の側壁を上記のように処理すればよい。

【0064】(実施例8)この第8の実施例は、第1の実施例の変型例で、ブラックマトリクス801をフォトリソグラフィ工程におけるセルフアラインマスクとして兼用した場合を示す。またこのブラックマトリクス801に1水平走査時間ごとに一定の電圧を印加して補助容量の電極としても兼用している。

15

【0065】図11(a)に示すように、ブラックマトリクス801はゲート絶縁膜105の下層にゲート電極103と同じ膜から形成されている。そして透明導電膜129を成膜し、これにレジストを被着させて裏面露光を行なう際にこのブラックマトリクス801がマスクとなり、画素電極121の外縁部を規定するレジストパターン803が形成される。さらに図11(b)に示すように、フォトリソグラフィにより不要な部分を除去して、画素電極121、ソース配線113およびドレイン配線117を形成する。そして信号線123やバシベーション膜135等を形成して、TFTを完成する(c)。

【0066】このようにブラックマトリクス801を画素電極121などのセルフアラインマスクとして兼用しているため、位置合わせの際のパターンずれをリカバーするためのブラックマトリクス801と画素電極121とのオーバーラップが不要となり液晶表示装置の画素の開口率を向上することができる。またセルフアラインにより工程の簡略化が図れるので、TFTの製造工程の簡易化ともあいまって製造コストの低廉化をさらに効果的に実現できるので望ましい。

【0067】なお、ブラックマトリクス801のコーナー(角)部分では裏面露光の際に若干露光量が少なくなると画素電極121の端の形状が狭くなり、その部分近傍のディスクリネーションを隠しきれなくなるので、対向基板側に別のブラックマトリクスを設けたり、あるいはブラックマトリクス801のコーナー部分の形状を丸くしたりしてもよい。

【0068】(実施例9)図12は、第9の実施例を示す図である。この実施例では、ゲート電極103の下に絶縁膜901を介して遮光膜としての金属などからなるブラックマトリクス801を形成している。そしてブラックマトリクス801のパターンはゲート電極103(およびチャネル領域119)の下を横切るような形にパターンニングされている。このようにブラックマトリクス801を形成することにより、画素電極121との間で絶縁膜901を介して補助容量を形成できるので好ましい。またゲート電極103や走査線127や信号線123などと画素電極121との短絡不良などを避けることができるので好ましい。またさらにブラックマトリクス801は静電シールドとして働くので、前記の各種配線と画素電極121との間の寄生容量を低減できるので好ましい。ブラックマトリクス801の形状はこの図12に示すような形状だけでなく、例えばTFTが走査線127を跨ぐように形成されたものの場合などにも適用することができる。

【0069】なお、本実施例の製造プロセスは、ブラックマトリクス801とゲート電極103の形成プロセスを別け、またその層間に絶縁膜901を形成する工程を付加するだけで、その他は前述の第1の実施例等と同様

16

に透明導電膜129をネガ型レジストを用いて裏面露光してエッチング法によりパターンニングして、ソース配線113、ドレイン配線117、画素電極121を同プロセスで形成するものである。したがって、前述の実施例と同様に製造工程の簡略化、画素開口率の向上などが実現できる。

【0070】(実施例10)図13、図14は第10の実施例を示す図である。この第10の実施例では、シリサイド膜1003をチャネル保護膜109から少し距離をおいて配置している。

【0071】実施例1等のようにゲート電極103、半導体膜107、チャネル保護膜109を形成する前の絶縁膜を積層し、ポジレジストを塗布して裏面露光およびマスクパターンを用いた表面からの露光の2重露光によりパターン形成する。そしてチャネル保護膜109としてはプラズマCVD法などによるSiN_x膜を用い、ゲート絶縁膜105としてはSiO₂/SiN_x積層膜とした。続いてチャネル保護膜109をエッチングにより形成し、レジストを剥離する。

【0072】続いて、露出している半導体膜107の表面を洗浄して表面酸化膜を除去した後、金属膜1001を堆積する。ここでは金属膜1001としてはMoを用いたが、その他にも複数の膜を堆積した積層膜や、Cr、Ni、Pdなどの金属とWとMoとの合金など、半導体膜107と反応していわゆるシリサイドを形成する材料を用いることができる。この合金としては、Co、Ni、Pdのような低温でシリサイドを形成する材料とMo、Taのような低温ではシリサイドを形成し難い高融点金属との合金を用いることができる。このような合金を用いれば上記の金属膜1001に相当する膜の成膜工程が簡易化できるので好ましい。

【0073】そして、図13(a)に示すように、半導体膜107と金属膜1001との界面に薄いシリサイド膜1003(反応層)を形成する。また200~300℃でアニールしてもよい。このようにして得たシリサイド膜1003は、金属膜1001として本実施例のMoを用いた場合は膜厚が50~200オングストロームでシート抵抗値が $10^{13} \sim 10^{16} \Omega/\square$ であった。

【0074】次に、図13(b)に示すように、反応しなかった残りの金属膜1001を除去してシリサイド膜1003を露出させ、チャネル保護膜109をわずかにエッチングする。するとその形成時より全体的に内側にパターンの端が移動する。したがってチャネル保護膜109とシリサイド膜1003とは少し距離をおいて配置された状態になる。ここでシリサイド膜1003を通して半導体膜107にドーピングを行ない不純物濃度の高いソース領域111、ドレイン領域115を形成する。この結果、シリサイド膜1003の端部よりも内側までドーピングされた不純物濃度の高い領域を形成できる。本実施例ではシリサイド膜1003が上層に被覆されて

いない半導体膜107の不純物濃度の高い領域の長さは200~1000オングストロームであった。ドーピングの方法は、既述の実施例のようなプラズマドーピングを用いれば大面積にわたって一度に処理できるので好ましいが、その他の方法を用いてもよい。

【0075】続いて図13(c)に示すようにレジスト1005を用いて半導体膜107およびシリサイド膜1003をエッチングしてパターン形成する。このパターニングされたシリサイド膜1003がソース配線113、ドレイン配線117となる。このパターニングは第7の実施例等と同様に行なうことができる。そして画素電極121を形成し(d)、さらにコンタクトホールなどを形成した後、ソース接続電極301、信号線123などを形成する(e)。このソース配線113などの配線層の材料としては、本実施例ではTi/A1/Mo(またはTi)の積層膜を用いたが、この他にもMo/A1などを用いてもよい。この配線層の堆積の前処理としてシリサイド反応が起こりにくいものを選択する。そしてその方法は第7の実施例と同様である。また、n層の上にはシリサイドができにくいTiなどの材料を配線層の材料として用いてもよい。

【0076】そして他の実施例と同様にパシベーション膜135などを形成するなどしてTFTを完成する。

【0077】従来のようなシリサイド膜401がチャネル保護膜109まで接しているTFTでは、チャネル保護膜109からはみ出したチャネル領域119とシリサイド膜401とが直接接触する、あるいはシリサイド膜401からチャネル領域119へと、十分なオーミックコンタクトを経由しないで電流が流れてしまいオフ電流が上昇してしまうという欠陥が発生するという問題があった。しかし本実施例のようにすれば、不純物ドーピングされた半導体膜107のチャネル領域119はシリサイド膜401に直接接触することがなくなり、また電流経路はシリサイド膜401やオーミックコンタクト部分が形成されたドレイン領域115の表面やソース領域111の表面を介してチャネル領域119に流れるようになるので、オフ電流の上昇を抑えることができる。

【0078】特にゲート電圧がオフ方向(nチャネルTFTでは負電圧)になる場合に、オン時のキャリアとは極性が逆のキャリア(nチャネルTFTではホール)がチャネル領域119に誘起されソース領域111に流れ込むことによりリーク電流が流れることを抑制することができることを確認した。この効果はシリサイド膜401、半導体膜107のチャネル領域119、ソース領域111、ドレイン領域115などの各部分の配置関係で得られるものであり、この第10の実施例の他の実施例で示した場合についても上記のような本実施例の技術を適用することができる。

【0079】

【発明の効果】以上、詳細な説明で明示したように、本発明によれば、製造時の歩留まりやスルーボットの低下の問題を解消するとともに、投射型液晶表示装置などに用いられるような場合のソース配線やドレイン配線やオーミックコンタクト層での反射光に起因して発生するa-Si TFTの光リーク電流の問題を解消したTFTを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のTFTの構造を示す図。

【図2】本発明の第1の実施例のTFTの製造工程を示す図。

【図3】本発明の第1の実施例のTFTの製造工程を示す図。

【図4】本発明の第2の実施例のTFTの製造工程を示す図。

【図5】本発明の第3の実施例のTFTの構造を示す図。

【図6】本発明の第4の実施例のTFTの構造を示す図。

【図7】本発明の第5の実施例のTFTの製造工程を示す図。

【図8】本発明の第6の実施例のTFTの製造工程を示す図。

【図9】本発明の第7の実施例のTFTの製造工程を示す図。

【図10】本発明の第7の実施例のTFTの製造工程を示す図。

【図11】本発明の第8の実施例のTFTの製造工程を示す図。

【図12】本発明の第9の実施例のTFTの構造を示す図。

【図13】本発明の第10の実施例のTFTの製造工程を示す図。

【図14】本発明の第10の実施例のTFTの製造工程を示す図。

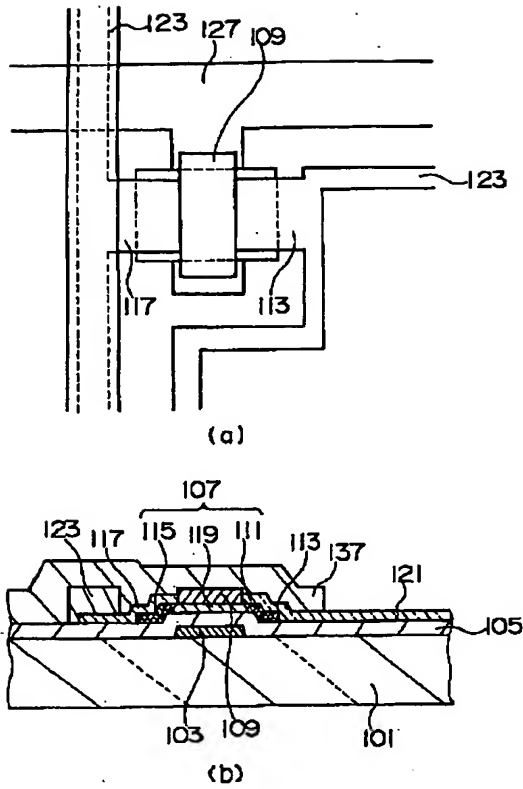
【図15】従来のTFTの構造を示す図。

【図16】従来のシリサイド膜を用いたTFTの構造を示す図。

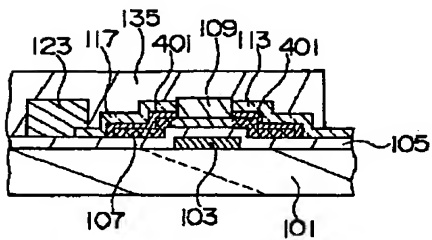
【符号の説明】

101…透明ガラス基板、103…ゲート電極、105…ゲート絶縁膜、107…半導体膜、109…チャネル保護膜、111…ソース領域、113…ソース配線、115…ドレイン領域、117…ドレイン配線、119…チャネル領域、121…画素電極、123…信号線、401…シリサイド膜

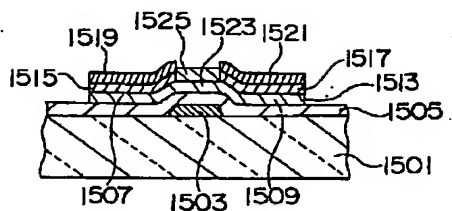
【図1】



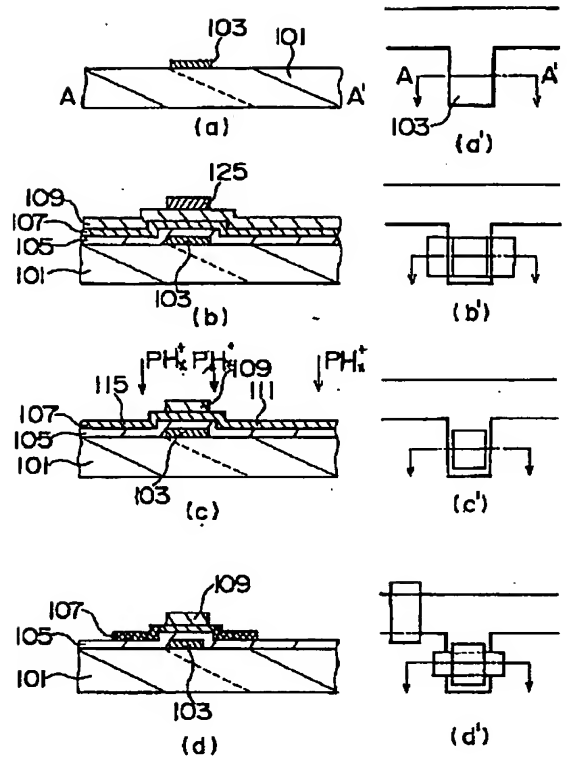
【図6】



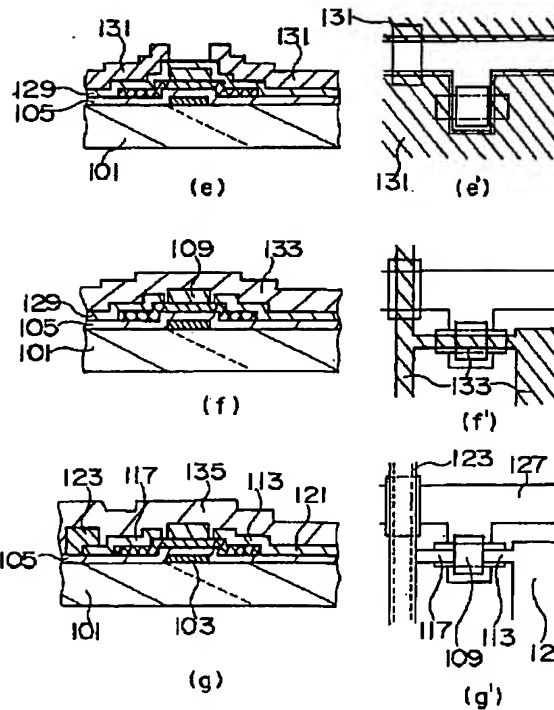
【図15】



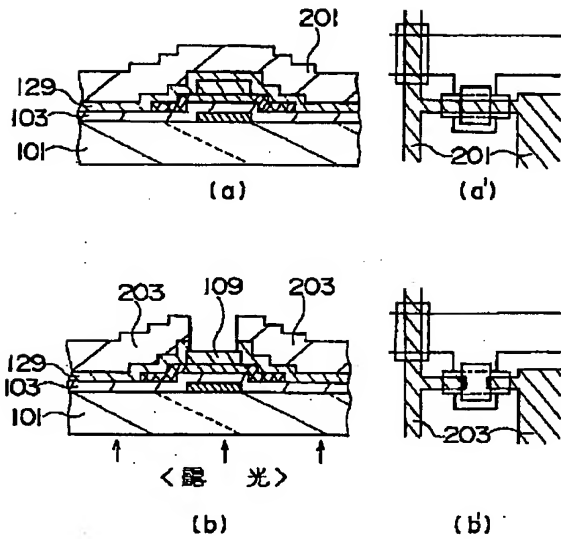
【図2】



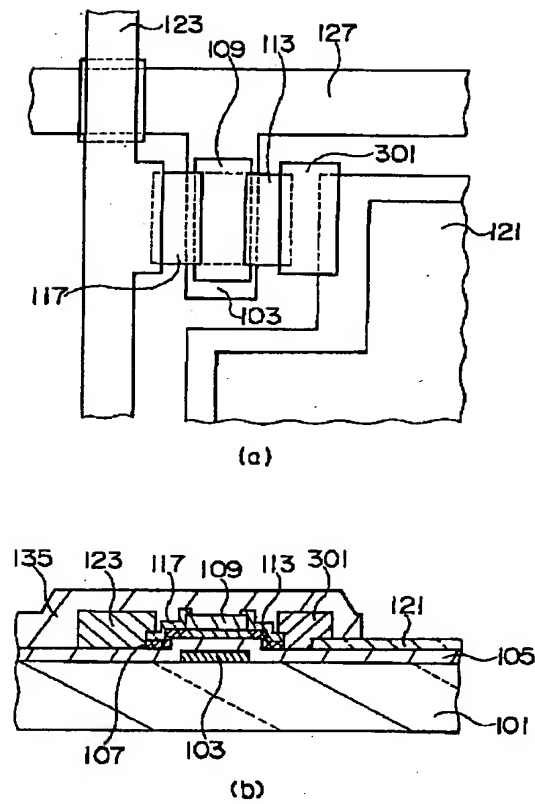
【図3】



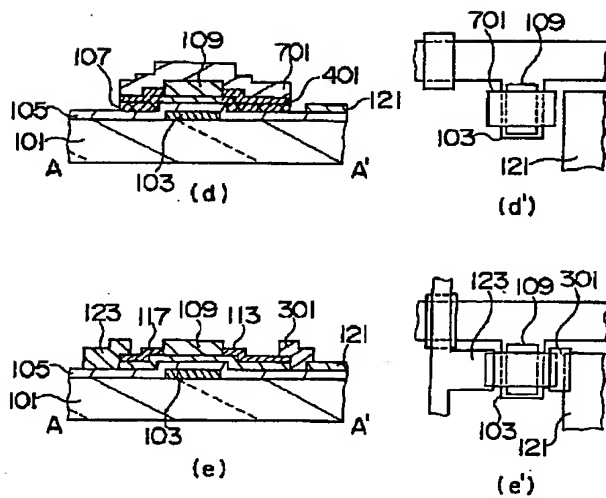
【図4】



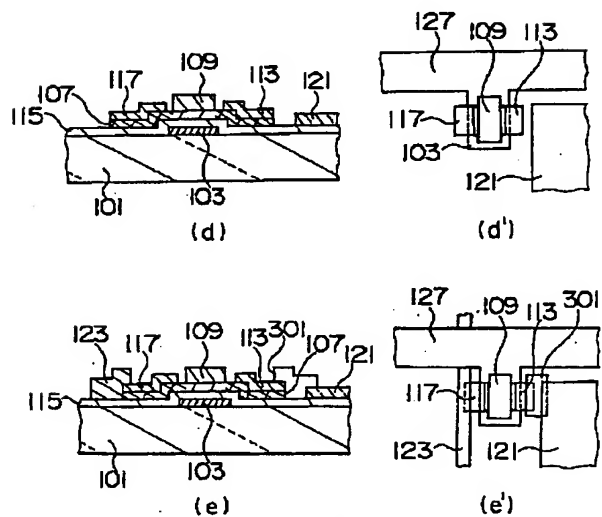
【図5】



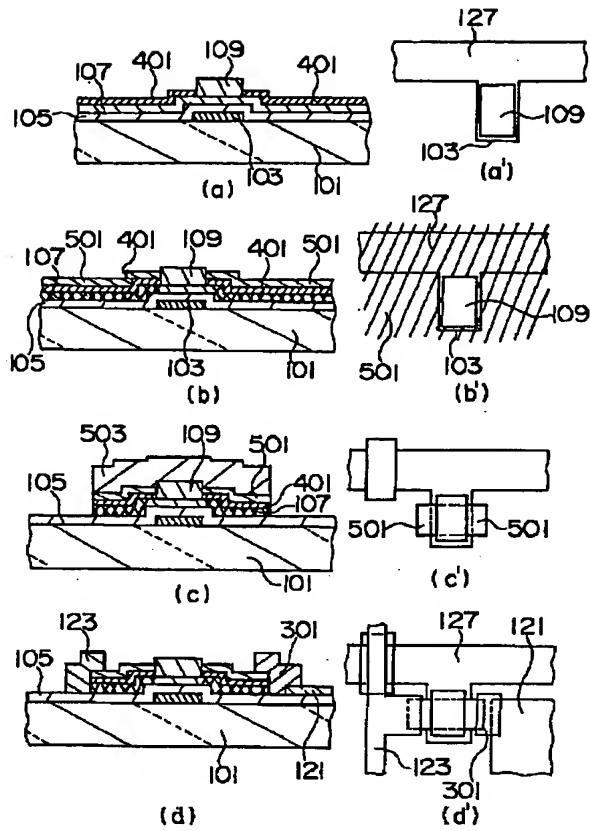
【図10】



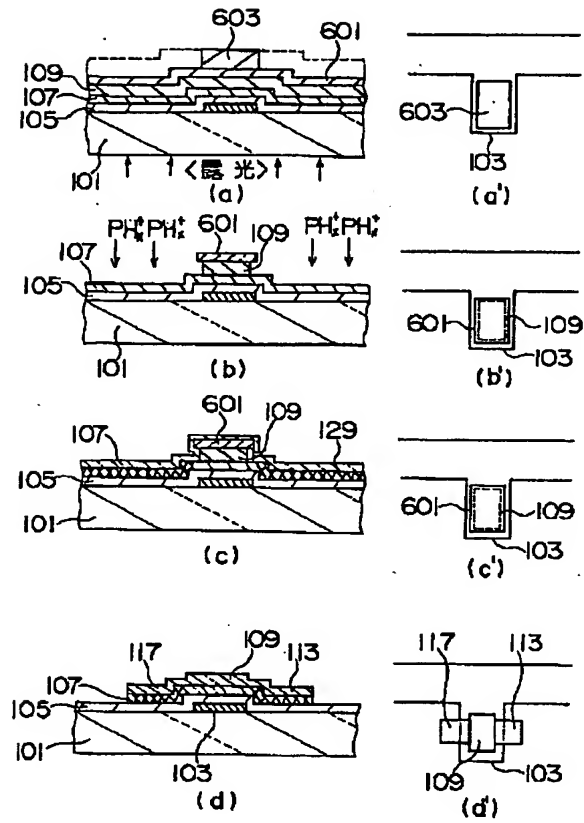
【図14】



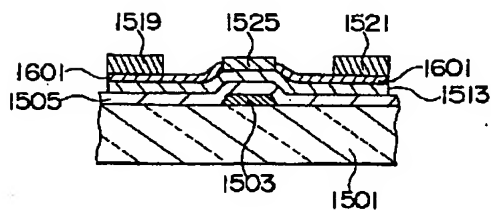
【図7】



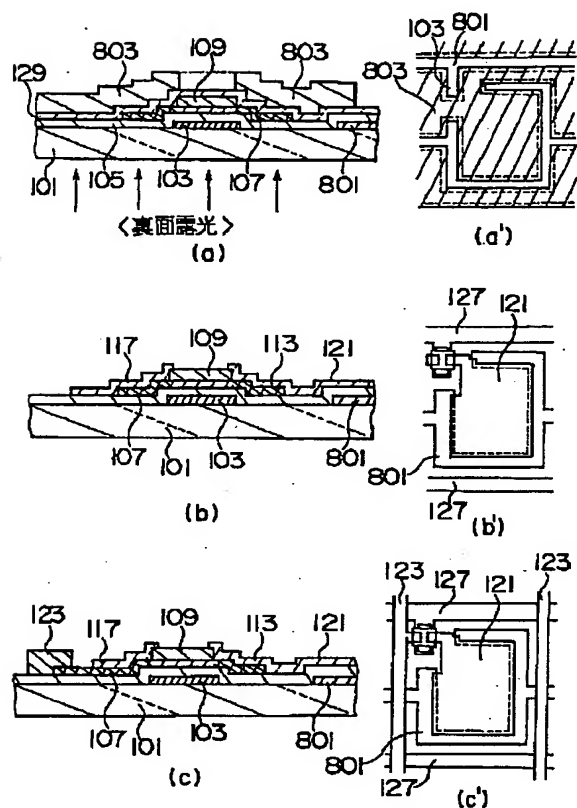
【図8】



【図16】

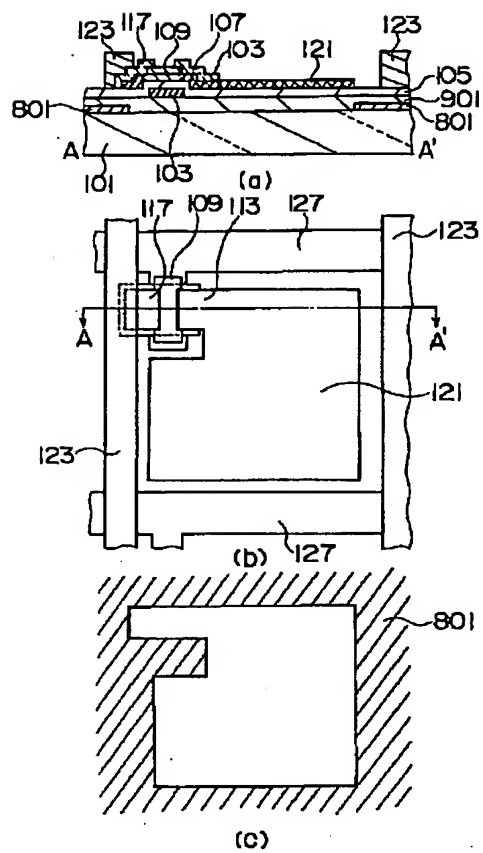


【图9】

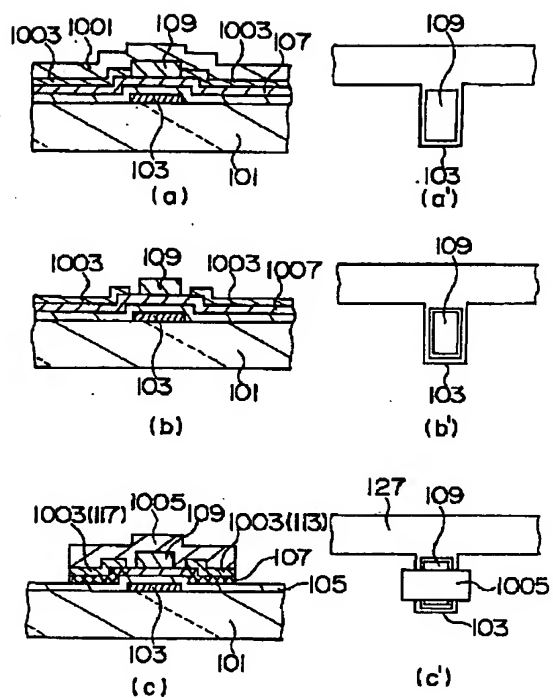


【图 1-1】

【图 1 2】



【图 1 3】



THIS PAGE BLANK (USPTO)